

PATENT ABSTRACTS OF JAPAN

(11) Publication number :

05-335341

(43) Date of publication of application : 17.12.1993

(51) Int.Cl.

H01L 21/338

H01L 29/812

H01L 29/50

(21) Application number : 04-139381 (71) Applicant : FUJITSU LTD

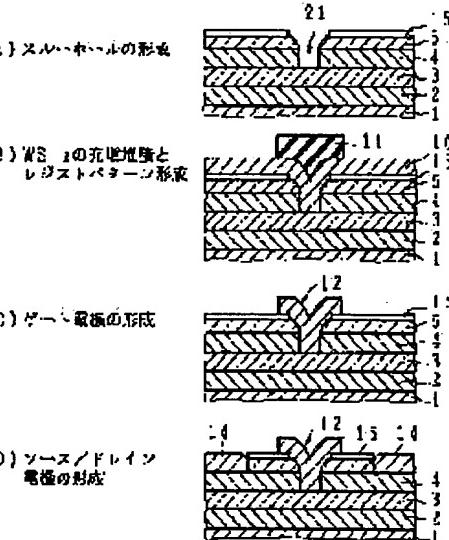
(22) Date of filing : 29.05.1992 (72) Inventor : MITANI EIZO

(54) MANUFACTURE OF III-V COMPOUND SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To provide an effective means for preventing roughness generated on the surface during formation of an aperture of the III-V compound semiconductor device having electrodes of recessed structure.

CONSTITUTION: The III-V compound semiconductors 2, 3, 4, a first insulation film 5 and a second insulation film 15 including aluminum are deposited in this sequence on a substrate and a first aperture reaching the surface of III-V compound semiconductor surface is formed in the predetermined pattern on the deposited insulation film. A third insulation film is deposited on the entire part including the first aperture, a side wall insulation film is then formed by the anisotropic etching and a second aperture 21 is formed by selectively, etching the exposed III-V compound semiconductors using the second insulation film and the side wall insulation film having the covering film at the surface thereof as the mask. A metal layer 10 is formed on the entire part including the interior of the second aperture and the metal layer is patterned using the second insulation film as the etching stopper to form recessed electrodes 12 within the second aperture.



THIS PAGE BLANK (uswrc)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 公開番号
特開平 05-335341
(P05-335341A)

(43) 公開日 平成 5 年 12 月 17 日 (1993.12.17)

(51) Int.Cl.⁵

H01L 21/338

/812

/50

J 9055·4M

F I
H01L 29/80
F

テーマコード (参考)

(21) 出願番号 特願平 04-139381 (P04-139381)
(22) 出願日 平成 4 年 5 月 29 日 (1992.05.29)

(71) 出願人 000005223
富士通株式会社
(72) 発明者 三谷 英三
神奈川県川崎市中原区上小田中 1015 番
地 富士通株式会社内
(75) 代理人 弁理士 高橋 敬四郎

(54) 発明の名称 III-V 族化合物半導体装置の製造方法

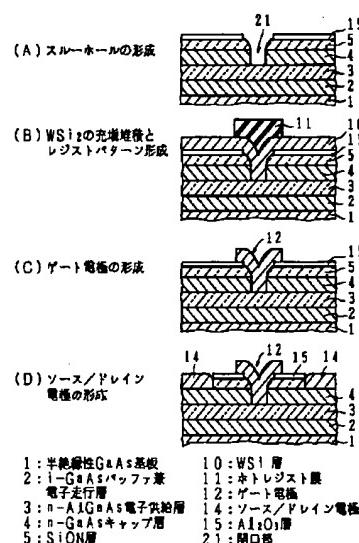
(57) 要約

(修正有)

【目的】 リセス構造の電極を有する III-V 族化合物半導体装置に関し、開口形成時に生ずる面荒れを防止する有効な手段を提供する。

【構成】 基板上 1 に、III-V 族化合物半導体 2, 3, 4、第 1 の絶縁膜 5、A 1 を含む第 2 の絶縁膜 15 をこの順序で堆積し、堆積した絶縁膜に所定のパターンで前記 III-V 族化合物半導体表面に達する第 1 の開口部を形成する。第 3 の絶縁膜を第 1 の開口部を含む全面に堆積し、これを異方性エッチングして側壁絶縁膜を形成し、表面に被覆膜を有する第 2 の絶縁膜および側壁絶縁膜をマスクとして、表出する III-V 族化合物半導体を選択的にエッチングして第 2 の開口部 21 を形成する。第 2 の開口部内を含む全面に金属層 10 を形成し、第 2 の絶縁膜をエッチングストップとして該金属層をパテーニングし、第 2 の開口部内にリセス電極 12 を形成する。

実施例によるリセス構造ゲート HEMT 製造工程 (後半)



(特開平 05-335341)

(1)

【特許請求の範囲】

【請求項 1】

基板上に、 III-V 族化合物半導体(4)、第1の絶縁膜(5)、A1を含む第2の絶縁膜(15)をこの順序で堆積する積層工程と、該堆積した絶縁膜(5、15)に所定のパターンで前記 III-V 族化合物半導体

(4) 表面に達する第1の開口部(20)を形成する工程と、第3の絶縁膜(7)を第1の開口部(20)を含む全面に堆積し、該第3の絶縁膜(7)を異方性エッチングにより選択的にエッチングすることにより、側壁絶縁膜(8)を形成する工程と、表面に被覆膜(16、17)を有する該第2の絶縁膜(15)および該側壁絶縁膜(8)をマスクとして、表出する前記 III-V 族化合物半導体(4)を選択的にエッチングして第2の開口部(21)を形成する工程と、前記第2の開口部(21)内を含む全面に金属層(10)を形成する工程と、前記第2の絶縁膜(15)をエッチングストップとして該金属層(10)をパターニングし、該第2の開口部(21)内にリセス電極(12)を形成する工程とを含む III-V 族化合物半導体装置の製造方法。

【請求項 2】

前記側壁絶縁膜(8)を形成した後、前記第2の絶縁膜(15)表面に、前記第1の開口部(20)の周辺部を除いてホトレジスト膜からなる前記被覆膜(16)を形成することを特徴とする請求項1記載の III-V 族化合物半導体装置の製造方法。

【請求項 3】

前記積層工程において、前記第2の絶縁膜(15)上に第3の絶縁膜(17)からなる被覆膜(17)を形成する工程を含み、前記第1の開口部を形成する工程を3層の絶縁膜(5、15、17)に対して行なうことを特徴とする請求項1記載の化合物半導体装置の製造方法。

【請求項 4】

さらに、前記積層工程においてA1を含まない第3の絶縁膜(17)の上に、A1を含む第4の絶縁膜(18)を堆積する工程を含み、前記第1の開口工程を4層の絶縁膜(5、15、17、18)に対して行ない、前記側壁絶縁膜形成工程の後にA1を含む第4の絶縁膜(18)を除去する工程を含む請求項3記載の III-V 族化合物半導体装置の製造方法。

【請求項 5】

前記A1を含む第2の絶縁膜(15)あるいは第4の絶縁膜(18)をイオンアシスト蒸着法で形成する請求項1～4のいずれかに記載の III-V 族化合物半導体装置の製造方法。

【請求項 6】

前記第2の開口工程のエッチングが CCl_2F_2 をエッティングガスとして用いる請求項1～5のいずれかに記載の III-V 族化合物半導体装置の製造方法。

【請求項 7】

(2)

前記第3の絶縁膜(17)をイオンアシスト蒸着法で形成し、前記A1を含む第2、あるいは第4の絶縁膜(15)、(18)と共に連続して形成することを特徴とする請求項3ないし6記載の III-V 族化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

10 本発明は、 III-V 族化合物半導体装置の製造方法に関し、特にリセス構造の電極を有する III-V 族化合物半導体装置の製造方法に関する。

【0002】

電子の移動度が S_i や G_e に比べて非常に大きい III-V 族化合物半導体は、MESFET、HEMT、HBT、HET等の高速半導体装置用材料として利用されている。

【0003】

これらの半導体装置においては、ヘテロ接合構造やリセスゲート構造がしばしば用いられる。リセスゲート構造を作製するためには、 III-V 族化合物半導体のエッチングが必要であり、エッチング停止層を利用した選択ドライエッチングがよく行なわれる。

【0004】

【従来の技術】

化合物半導体装置の電極形成は、たとえば以下のように行なう。 III-V 族化合物半導体の積層表面上に形成した絶縁膜にコンタクトホールをパターニングし、この絶縁膜をマスクとして異方性選択エッチングを行なって所望の III-V 族化合物半導体層表面を露出する開口を形成する。この開口内に電極材料を導入して、いわゆるリセス構造の電極を形成する。

【0005】

このような III-V 族化合物半導体層への開口部形成は、反応性ガスを利用したドライエッチングによることが多く、チャンバ内雰囲気等でエッチング条件が変化することもあり、エッチングの制御が難しい。

【0006】

従来の III-V 族化合物半導体層へのリセス構造電極形成は、以下のようないくつかの工程によっていた。高電子移動度トランジスタ(HEMT)の場合を例にとって説明する。

【0007】

まず、図5(A)に示すように、半絶縁性GaN基板26上にヘテロ接合を含む III-V 族化合物半導体の多層膜を形成する。すなわち、半絶縁性GaN基板26上にバッファ層および電子走行層となるi型GaN層27、n型不純物をドープしたAlGaN電子供給層28、ソース/ドレイン領域においてオーム接触を容易に取るためのGaNキャップ層29を

(特開平 05-335341)

(3)

エピタキシャルに成長する。

【0008】

この多層膜の上にSiON等の絶縁膜30を堆積する。次に、ホトレジスト膜31を塗布後、ホトリソグラフィの技術を用いてホトレジスト膜31の所定位置に所望のパターンで開口部を設ける。

【0009】

次に、ホトレジスト膜31をマスクとして絶縁膜30をCF₄ガスの反応性イオンエッティング(RIE)による異方性エッティング等でパターニングし、開口部(コンタクトホール)を設ける。

【0010】

次に、図5(B)に示すように、ホトレジスト膜31を除去後、表面上にSiON等の絶縁膜32をほぼ均一に堆積する。次いで、CF₄の異方性ドライエッティングにより、表面から垂直方向に絶縁膜32を除去する。絶縁膜32の厚さ分のエッティングを行なうと、平坦部上の絶縁膜32は除去され、図5(C)に示すようにコンタクトホール側壁上にのみ絶縁膜32が残る。

【0011】

次に、図5(D)に示すように、CCl₂F₂ガス等を用いた異方性ドライエッティングによって電子供給層28表面まで垂直にキャップ層29をエッチして開口部を形成する。Alを含むAlGaAsの電子供給層28がエッティングストップとなる。

【0012】

次に、図5(E)に示すように、開口部を埋めるようにWSi等の電極層33をスパッタリングで堆積する。電極層33は絶縁膜30上全面に堆積する。電極層33のパターニングのため、図5(F)に示すように、電極層33上にレジスト膜34のパターンを形成し、CF₄ガスによる反応性イオンエッティング(RIE)の異方性ドライエッティングを行なう。レジスト膜パターン34に覆われていない部分の電極層33はエッチオフされる。

【0013】

この時、電極層33だけにとどまらず、その直下の絶縁膜30も一部オーバエッティングされる。換言すれば、電極材料エッティングの選択性が十分高くない。このため、段差が発生し、また、絶縁膜30の膜厚再現性が低くなる。

【0014】

この結果、プロセスマージンが低くなり、後工程でのリソグラフィで精度が低くなる、後工程でのコンタクトホール開口のエッティング精度が低くなる等の問題が生ずる。

【0015】

この問題を解決するひとつの方法として、図6(A)に示すように絶縁膜30の上に薄いAlを含む絶縁膜、たとえばAl₂O₃膜36を堆積させ、Al₂O₃膜36を電極層33のエッティングの際のエッティングストップに

(4)

利用することが考えられる。

【0016】

Al₂O₃膜36の堆積後、Al₂O₃膜36の上に、ホトレジストマスクを形成し、開口部に露出したAl₂O₃膜36を、たとえば熱磷酸によりエッティングし、その下のSiON絶縁膜30を異方性エッティングによりエッティングしてキャップ層29を露出する。その後、ホトレジストマスクは除去する。このようにして、図6(A)に示す構造を得る。

【0017】

次に、図5(B)に示す工程同様に、SiON膜を全面にほぼ均一に堆積し、CF₄ガスのRIEによる異方性エッティングを行なうことによって開口部側壁にのみSiON膜を残す。この時、表面部分にはAl₂O₃膜36が露出するため、表面部分でのオーバエッティングは防止される。

【0018】

続いて、開口部に露出したGaAsキャップ層29を異方性エッティングする。このようにして、AlGaAs電子供給層28の表面を露出する。なお、AlGaAsとGaAsとはエッティング速度が異なり、電子供給層28はエッティングストップの役割も果たす。

【0019】

次に、図6(C)に示すように、WSi等の電極層を全面にスパッタリングで堆積し、その上にホトレジストマスクを形成する。このホトレジストマスクをエッティングマスクとして電極層をエッティングすることにより、図に示すようなT型電極を得る。

【0020】

この電極層のエッティングにおいて、Al₂O₃膜36が露出すると、エッティング速度が著しく低下するため、Al₂O₃膜36が完全に消滅することなく、さらにその下のSiON膜30が膜減りすることは防止される。このように、絶縁膜30の厚さは全面でほぼ均一に確保される。

【0021】

なお、SiONおよびWSiに対するAl₂O₃のエッティング選択性は高いが、絶縁膜30を全てAl₂O₃膜34で置換することは、Al₂O₃の加工性が悪いため困難である。

【0022】

【発明が解決しようとする課題】

前記したように、Al₂O₃膜36を絶縁膜30の上に配置することで電極形成時の絶縁膜30のオーバエッティングの問題は解決できる。しかし、別の問題が派生する。

【0023】

図6(B)に示す絶縁膜のコンタクトホールを介して行なうIII-V族化合物半導体、特にGaAs等の化合物半導体の異方性ドライエッティングでは通常弗素系

(特開平 05-335341)

(5)

ガス、たとえばCCl₂F₂ガスが用いられる。

【0024】

このガスは反応性が高いため、Al₂O₃と一部反応してAlF₃が発生する。AlF₃は不揮発性物質であり、被エッチ半導体の開口部に粒状に被着する。この結果、開口部に面荒れを生ずる。

【0025】

本発明の目的は、Alを含む絶縁膜を電極材料エッティングのエッチングストップに利用しつつ、その前段のAlを含まないIII-V族化合物半導体中の開口形成時に生ずる面荒れを防止する有効な手段を提供することである。

【0026】

【課題を解決するための手段】

本発明では、前記したIII-V族化合物半導体の開口部形成時、電極材料のエッチングストップとして機能するAlを含む絶縁膜を実質的に露呈させない構造でドライエッティングを行なう。

【0027】

すなわち、本発明のIII-V族化合物半導体装置の製造方法は、基板上に、III-V族化合物半導体、第1の絶縁膜、Alを含む第2の絶縁膜をこの順序で堆積する積層工程と、該堆積した絶縁膜に所定のパターンで前記III-V族化合物半導体表面に達する第1の開口部を形成する工程と、第3の絶縁膜を第1の開口部を含む全面に堆積し、該第3の絶縁膜を異方性エッティングにより選択的にエッティングすることにより、側壁絶縁膜を形成する工程と、表面に被覆膜を有する該第2の絶縁膜および該側壁絶縁膜をマスクとして、表出する前記III-V族化合物半導体を選択的にエッティングして第2の開口部を形成する工程と、前記第2の開口部内を含む全面に金属層を形成する工程と、前記第2の絶縁膜をエッチングストップとして該金属層をパターニングし、該第2の開口部内にリセス電極を形成する工程とを含む。

【0028】

【作用】

Alを含む絶縁膜とその上に配置したAlを含まない被覆膜の相乗作用によって、III-V族化合物半導体に電極形成用の開口部を加工する時、開口部のIII-V族化合物半導体の面荒れが防止でき、かつ絶縁膜を所望の厚さに保つことができる。

【0029】

以下、本発明を実施例に基づき、より詳しく述べる。

【0030】

【実施例】

図1および図2は、本発明の実施例によるリセス構造ゲートを有するHEMTの製造工程を示す図である。

【0031】

半絶縁性GaN基板1上に厚さ約4000Åのi

(6)

-GaNバッファ兼電子走行層2、その上に厚さ約400Å、ドナー濃度約 2×10^{18} atoms/cm³のn-AlGaN電子供給層3、その上に厚さ約1000Å、ドナー濃度約 2×10^{18} atoms/cm³のn-GaNキャップ層4を連続的にエピタキシャル成長させる。

【0032】

この積層エピタキシャル構造III-V族化合物半導体上に、プラズマCVD法により厚さ約3000ÅのSiON層5を堆積させ、さらにその上に酸素またはアルゴンのプラズマによるイオンアシスト蒸着法を用いて厚さ約200ÅのAl₂O₃層15を堆積させる。イオンアシスト蒸着法では、緻密で硬度の高い膜ができるという特徴があり、これはドライエッティングのストップ層として重要な特質である。

【0033】

次に、ホトレジスト膜を塗布後、通常のホトリソグラフィの技術によって上記2層の絶縁膜5、15に対して所定位置にコンタクトホール20を開ける。その後、レジスト膜を除去した状態が図1(A)である。

【0034】

この工程は、まずホトリソグラフィによってホトレジスト膜をパターニングし、次にたとえば80℃の磷酸でAl₂O₃層15をパターニングし、さらにたとえばCF₄ガスを用いた反応性イオンエッティング(RIE)によりSiON層5の異方性エッティングを行なった後、ホトレジスト膜を除去すればよい。

【0035】

次に、図1(B)に示すように、プラズマCVD法により厚さ約1500ÅのSiON層7の堆積を行なう。SiON層7はコンタクトホール20の側壁上にもほぼ均等な厚さで堆積する。

【0036】

次に、図1(C)に示す如く、CF₄ガスを用いたRIEによりSiON層7をエッティングする。平坦部上のSiON膜7をエッチオフすると、コンタクトホール20側壁部上のみにSiONの側壁絶縁膜8が残る。Al₂O₃層15がエッチングストップとなるので、この異方性エッティングでSiON層5が膜減りを起こすことなく、側壁絶縁膜8を残してSiON層7はきれいに除去できる。

【0037】

次に、図1(D)に示すように、コンタクトホール20よりやや広い開口部を有するホトレジスト膜16のパターンを形成する。このプロセスは通常のホトリソグラフィによって行なうが、位置合わせに多少余裕をみてコンタクトホール20開口部より片側につき約0.4μm広い開口部を形成することによって位置合わせを容易にする。しかし、Al₂O₃層15は大部分がホトレジスト膜16で覆われている。

(特開平 05-335341)

(7)

【0038】

次に、図2 (A) に示すように、エッチングでn-GaAs キャップ層4に開口21を形成する。たとえば、CCl₂F₂ガスを用いたRIEによってコンタクトホール20内のGaAs層を異方性エッチングする。エッチングは、n-AlGaN電子供給層3の表面でほぼ自動停止する。

【0039】

この際、Al₂O₃層15は大部分がホトレジスト膜16で覆われているため、実質的に不揮発性AlF₃の生成は無視できる程度に少量で済み、開口部21のGaAs面が荒れることはない。その後、ホトレジスト膜16を除去する。この状態を図2 (A) に示す。

【0040】

次に、ゲート電極12の形成を行なう。まず、図2 (B) で示すように、スパッタリング法によってWSi層10を開口部21内に完全に充填するよう、約3000Åの厚みに堆積する。その後、T型ゲート電極を形成するため、ホトレジスト膜11を塗布し、所定のパターニングを行なう。

【0041】

次に、図2 (C) に示すように、CF₄ガスを用いたRIEによってWSi層10の異方性ドライエッチングを行なう。この時、オーバーエッチングになつても下地がAl₂O₃層15であるため、エッチングは自動停止し、膜減りは防止される。次いで、ホトレジスト膜11を除去すれば、図2 (C) に示したように、T型ゲート電極12が完成する。

【0042】

その後、ソース／ドレイン電極14を形成する。この工程は、まず、ホトレジスト膜塗布後、ソース／ドレイン電極位置に開口部を設けるようにパターニングし、次に80°Cの熱磷酸で開口部のAl₂O₃層15を除去し、さらにその次にHF : NH₄F = 1 : 10の溶液によりSiON層5をウェットエッチングしてn-GaAsキャップ層4を露出させる。

【0043】

その後、たとえばAuGe/Auを厚さ約200Å/約3000Å蒸着した後、ホトレジスト膜を除去してリフトオフを行なう。開口部に形成されたAuGe/Auを450°Cで1分間合金化することによって図2 (D) に示すようなソース／ドレイン電極14が形成される。さらに、保護膜形成等を行なってHEMTを完成させる。

【0044】

次に、本発明の別の実施例によるリセスゲートHEMTの製造工程について述べる。前実施例同様、半絶縁性GaAs基板1上に厚さ約4000Åのi-GaAsバッファ兼電子走行層2、その上に厚さ約400Å、ドナー濃度約2×10¹⁸atoms/cm³のn-AlGaN電子供給層3、その上に厚さ約1000Å、ドナ

(8)

ー濃度約2×10¹⁸atoms/cm³のn-GaAsキャップ層4を連続的にエピタキシャル成長させる。

【0045】

この積層エピタキシャル構造III-V族化合物半導体上に、プラズマCVD法により厚さ約3000ÅのSiON層5を堆積し、さらにその上にイオンアシスト蒸着法により厚さ約200ÅのAl₂O₃層15を堆積する。

【0046】

10 次いで、その上にプラズマCVD法により厚さ約1000ÅのSiON層17を堆積する。この上にホトレジスト膜を塗布し、ホトリソグラフィの技術を用いてパターニングする。

【0047】

次に、ホトレジスト膜の開口部にコンタクトホール20を形成する。すなわち、ホトレジスト膜をマスクとして、まずCF₄ガスを用いたRIEによってSiON層17を異方性エッチングし、次いで80°Cの熱磷酸によりAl₂O₃層15をウェットエッチングし、再びCF₄ガスによるRIEを用いてSiON層5をドライエッチングする。ホトレジスト膜を除去した状態を図3 (A) に示す。

【0048】

次に、前実施例同様、プラズマCVD法で厚さ約1500ÅのSiON層を堆積し、CF₄ガスを用いたRIEにより異方性エッチングを行なつて、図3 (B) に示すようにコンタクトホール20側壁にSiONの側壁絶縁膜8を形成する。この時、オーバーエッチングすると、SiON層17の膜厚も堆積時より減少するが、Al₂O₃層15は露出せず、完全にSiON層17、側壁絶縁膜8に覆われている。

【0049】

次に、n-AlGaN電子供給層3をエッチングストップとするエッチングを行ない、キャップ層4に開口部の形成を行なう。CCl₂F₂ガスを用いたRIEによってコンタクトホール20直下のn-GaAsキャップ層4を異方性ドライエッチングする。この時、Al₂O₃層15は露出していないので、CCl₂F₂ガスと反応することなく、したがつて面荒れのないリセスエッティング面が得られる。

【0050】

引き続いて、図3 (C) で示すように、電極材料であるWSi層10を堆積して開口部を充填する。その後、WSi層10上にパターニングしたホトレジスト膜11を形成する。

【0051】

次に、たとえばCF₄ガスによるRIEによってWSi層10の異方性ドライエッチングを行ない、ゲート電極12をパターニングする。この時、WSi層10の下地であるSiON層17もオーバーエッチングされ除去

(特開平 05-335341)

(9)

されるが、 Al_2O_3 層15がエッティングストップとなり、この部位でエッティングは停止する。

【0052】

さらに、前記実施例と同様の手順でソース／ドレイン電極を形成した図を、図3（D）に示す。このようにして、HEMT主要構成部が完成する。なお、露出している Al_2O_3 層15は熱磷酸ウェットエッティング等によって除去してもよい。

【0053】

本発明のさらに別の実施例によるリセスゲートHEMT電極形成を次に説明する。前実施例と同様に、半絶縁性GaN基板1上にi-GaN層バッファ兼電子走行層2、n-AlGaN電子供給層3、n-GaNキャップ層4からなるIII-V族化合物半導体エピタキシャル積層を形成する。この上にプラズマCVD法により厚さ約3000ÅのSiON層5を堆積する。

【0054】

引き続き、この上に複数のソースを使ったイオンアシスト蒸着法を用いて厚さ約200Åの Al_2O_3 層15、厚さ約200ÅのSiO₂層17a、厚さ約200Åの Al_2O_3 層18を連続的に堆積する。イオンアシスト蒸着により緻密で高硬度の膜が連続プロセスで形成される。

【0055】

次に、ホトレジスト膜6を塗布後、ホトリソグラフィの技術を用いて図4（A）で示すように、ホトレジスト膜6に所定のパターンで開口部を形成する。次に、コンタクトホールの形成を行なう。まず、80°Cの熱磷酸によって Al_2O_3 層18をウェットエッティングし、次いでCF₄ガスを用いたRIEによりSiO₂層17aをドライエッティングし、その次に80°Cの熱磷酸によって Al_2O_3 層15をウェットエッティングし、またCF₄ガスを用いたRIEによりSiON層5をドライエッティングする。

【0056】

続いて、ホトレジスト膜6を除去し、プラズマCVD法により厚さ約1500ÅのSiON層をほぼ均等に堆積し、CF₄ガスによるRIEを用いてコンタクトホール側壁部のSiONの側壁絶縁膜8を、図4（B）に示すように形成する。SiON層のRIEにおいては、下地の Al_2O_3 層18がエッティングストップとなる。

【0057】

次に、80°Cの熱磷酸中でウェットエッティングにより表面の Al_2O_3 層18をエッチオフする。かかる後、CCl₂F₂ガスによってn-GaNキャップ層4をRIEでドライエッティングして開口部21を形成する。これを図4（C）に示す。

【0058】

この異方性エッティング工程において、 Al_2O_3 層15は完全にSiON層8、SiO₂層17aによって覆われているので、CCl₂F₂ガスとAlが反応し、GaN

(10)

Si層4が面荒れを生じることは防止される。

【0059】

引き続いて、電極材料のWSi層を堆積後、その上にパターニングされたホトレジスト膜を形成する。このホトレジスト膜をマスクとしてCF₄ガスのRIEによるドライエッティングを行なえば、リセス構造T型ゲート電極12が完成する。これを図4（D）に示す。

【0060】

CF₄ガスによるドライエッティングによって、ゲート電極12直下を除き、SiO₂層17aもエッチオフされる。しかし、その下地の Al_2O_3 層15がストップとなってこの位置でエッティングは停止する。したがって、SiON層5の膜厚は一定に保たれ、段差を生ずることはない。 Al_2O_3 層15は、その後熱磷酸ウェットエッティング等で除去してもよい。

【0061】

この次の工程で前実施例同様、ソース／ドレイン電極の形成を行なえば、リセスゲート付HEMTの主要構成部が完成する。以上述べた実施例は、GaN/AIGaAs構造のHEMTの場合であったが、InP基板上のInGaAsチャネル層/InAlAs電子供給層/n⁺-GaNキャップ層（InAlAsがGaNエッティングのストップとして働く）やGaN/InGaP（InGaPが電子供給層であり、GaNのエッティングストップ層として働く）の組み合わせを用いたHEMTにも本発明は適用できる。

【0062】

さらに、本発明はHEMT以外にもヘテロ接合を含むIII-V族化合物半導体デバイス、たとえばMESFETやHBT、HET等の製造に適用できることはいうまでもない。

【0063】

前記したHEMTに対する実施例において、開口部の形成はn-GaNキャップ層4に対してのみ行なっていたが、AlGaNのストップ層を配置しておけば多層キャップ層に対しても適用できることは明らかである。

【0064】

前記実施例では、絶縁膜としてプラズマCVD法によるSiON層を多用した。しかし、本発明はこれにとどまることなく、他の非Al系絶縁膜、たとえばSiN膜やSiO₂膜、多結晶Si膜等にも適用でき、また他の製法、たとえば熱酸化法やスパッタリング法、光CVD法等で堆積された膜にも適用できることは自明であろう。

【0065】

さらに、ゲート電極やソース／ドレイン電極材料も他に種々使用できることはいうまでもない。また、Alを含む絶縁膜材料として Al_2O_3 以外にAlNやAlON等がある。

(特開平 05-335341)

(11)

【0066】

【発明の効果】

以上説明したように、本発明によれば、A1を含む絶縁膜を電極材料の異方性ドライエッチングのエッティングストップに利用しつつ、その前段のA1を含まないII-V族化合物半導体の開口部形成のためのドライエッティング時に生ずる面荒れを防止することができる。

【図面の簡単な説明】

【図1】 実施例によるリセス構造ゲートHEMTの製造工程前半を示す。

【図2】 図1の製造工程に続く後半の工程を示す。

【図3】 別の実施例によるリセスゲートHEMT製造工程主要部を示す。

【図4】 さらに別の実施例によるリセスゲートHEMT製造工程主要部を示す。

【図5】 従来の技術を示す断面図である。

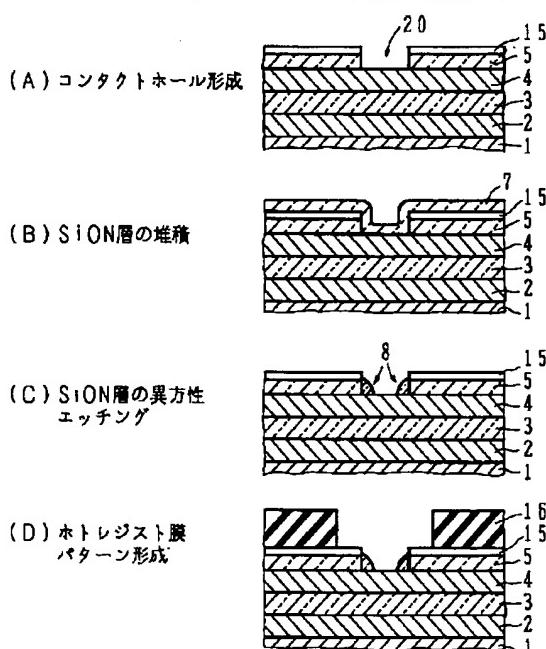
【図6】 参考技術を示す断面図である。

【符号の説明】

1 半絶縁性GaAs基板

【図1】

実施例によるリセス構造ゲートHEMT製造工程（前半）



- | | |
|----------------------|---------------------------------------|
| 1 : 半絶縁性GaAs基板 | 7 : SiON層 |
| 2 : i-GaAsバッファ兼電子走行層 | 8 : 側壁絶縁膜 |
| 3 : n-AlGaAs電子供給層 | 15 : Al ₂ O ₃ 層 |
| 4 : n-GaAsキャップ層 | 16 : ホトレジスト膜 |
| 5 : SiON層 | 20 : コンタクトホール |

10

(12)

2 i-GaAsバッファ兼電子走行層

3 n-AlGaAs電子供給層

4 n-GaAsキャップ層

5 SiON層

6 ホトレジスト膜

7 SiON膜

8 側壁絶縁膜

10 WSi層

11 ホトレジスト膜

12 ゲート電極

14 ソース／ドレイン電極

15 Al₂O₃層

16 ホトレジスト膜

17 SiON層

17a SiO₂層

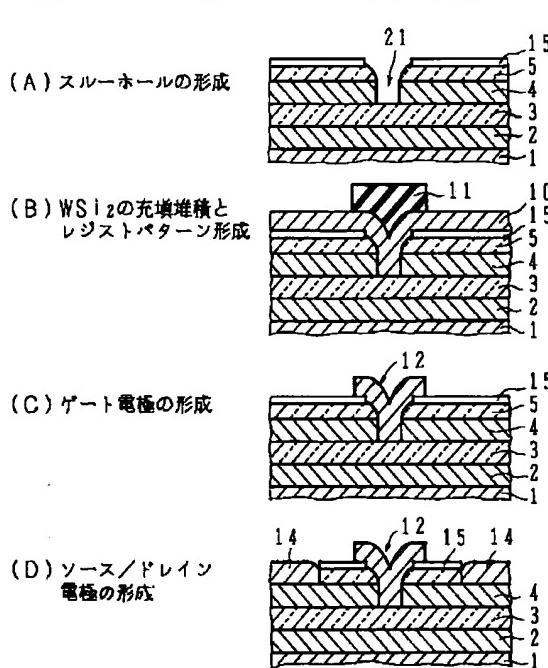
18 Al₂O₃層

20 コンタクトホール

21 開口部

【図2】

実施例によるリセス構造ゲートHEMT製造工程（後半）

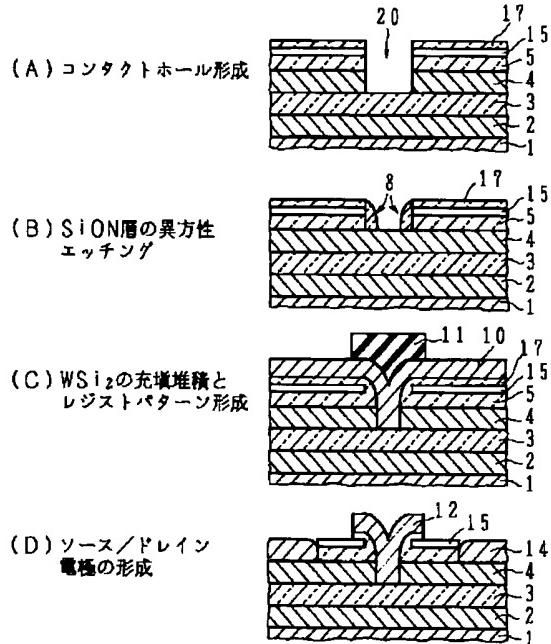


- | | |
|----------------------|---------------------------------------|
| 1 : 半絶縁性GaAs基板 | 10 : WSi層 |
| 2 : i-GaAsバッファ兼電子走行層 | 11 : ホトレジスト膜 |
| 3 : n-AlGaAs電子供給層 | 12 : ゲート電極 |
| 4 : n-GaAsキャップ層 | 14 : ソース／ドレイン電極 |
| 5 : SiON層 | 15 : Al ₂ O ₃ 層 |
| 8 : 側壁絶縁膜 | 21 : 開口部 |

(特開平 05-335341)

【図3】

別の実施例によるリセスゲートHEMT製造工程主要部

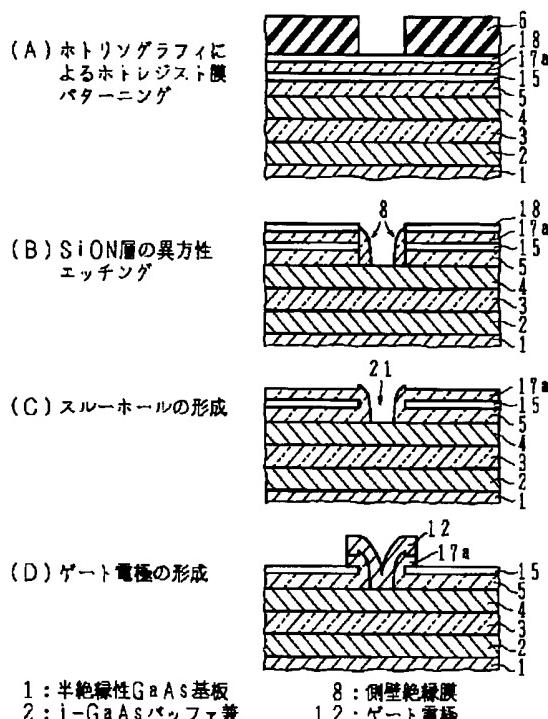


- 1 : 半絶縁性GaAs基板
2 : i-GaAsバッファ兼
電子走行層
3 : n-AlGaAs電子供給層
4 : n-GaAsキャップ層
5 : SiON層
8 : 側壁絶縁膜

- 10 : WS₁₂層
11 : ホトレジスト膜
12 : ゲート電極
14 : ソース/ドレイン電極
15 : Al₂O₃層
17 : SiON層
20 : コンタクトホール

【図4】

また別の実施例によるリセスゲートHEMT製造工程主要部



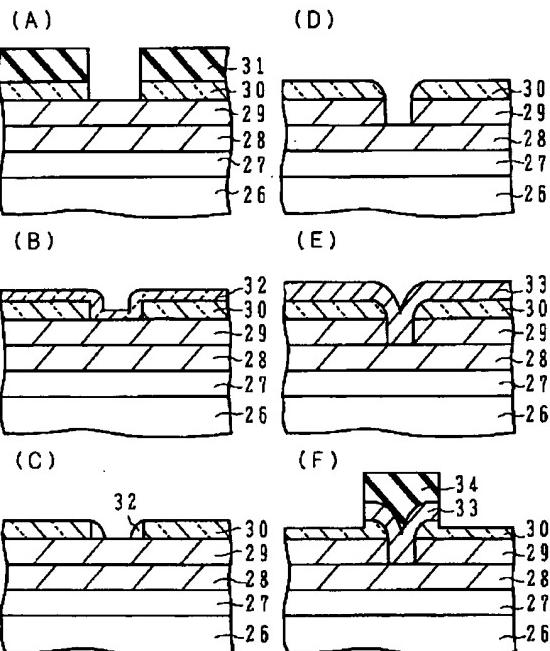
- 1 : 半絶縁性GaAs基板
2 : i-GaAsバッファ兼
電子走行層
3 : n-AlGaAs電子供給層
4 : n-GaAsキャップ層
5 : SiON層
6 : ホトレジスト膜

- 8 : 側壁絶縁膜
12 : ゲート電極
15 : Al₂O₃層
17a : SiON層
18 : Al₂O₃層
21 : 開口部

(特開平 05-335341)

【図5】

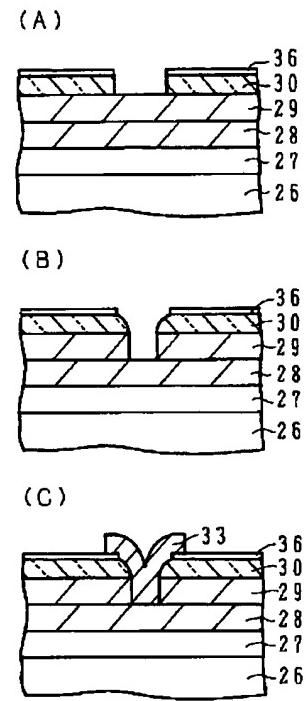
従来の技術



26: 半絶縁性GaAs基板 30, 32: 絶縁膜
27: i型GaAs層 31, 34: ホトレジスト膜
28: 電子供給層 33: 電極層
29: キャップ層

【図6】

参考技術



36: Al₂O₃膜

John S. & J. C. G. Company